

(19)日本国特許庁 (JP)

(12) 公開特許公報 (A)

(11)特許出願公開番号

特開平8-305629

(43)公開日 平成8年(1996)11月22日

(51)Int.Cl.⁶

G 06 F 12/06

識別記号

510

庁内整理番号

F I

G 06 F 12/06

技術表示箇所

510 A

審査請求 未請求 請求項の数7 OL (全12頁)

(21)出願番号

特願平7-101059

(22)出願日

平成7年(1995)4月25日

(71)出願人 390009531

インターナショナル・ビジネス・マシーンズ・コーポレイション

INTERNATIONAL BUSINESS MACHINES CORPORATION

アメリカ合衆国10504、ニューヨーク州
アーモンク (番地なし)

(72)発明者 福嶋利明

神奈川県大和市下鶴間1623番地14 日本アイ・ピー・エム株式会社 大和事業所内

(74)代理人 弁理士 合田潔 (外2名)

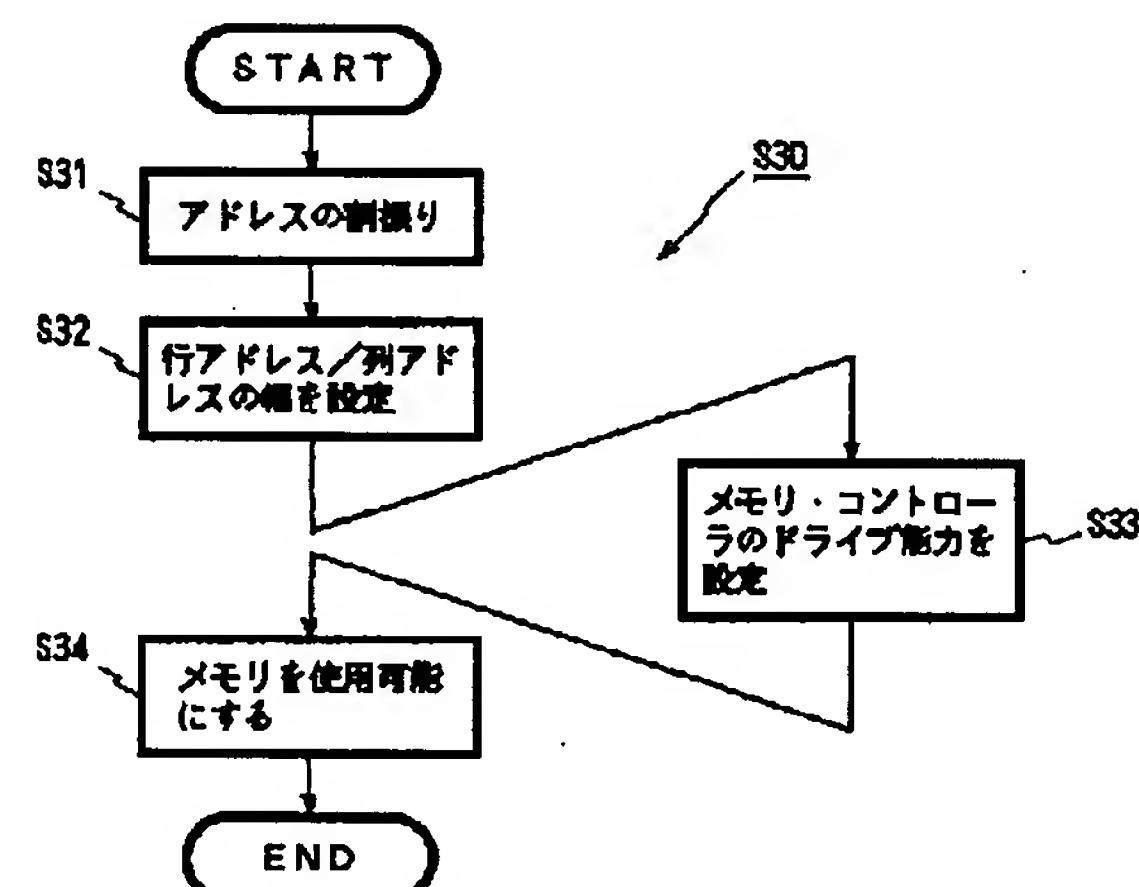
最終頁に続く

(54)【発明の名称】 メモリ・アクセス制御装置及びメモリ・アクセス制御方法、コンピュータ・システム

(57)【要約】 (修正有)

【目的】 記憶容量やメモリ・チップの配列が異なる多種類の増設メモリ(DIMMカード)を装着しても、メモリ・コントローラの各出力信号線(RAS, CAS, WE, MA)の信号波形やタイミングを動的に補償できる。

【構成】 標準メモリの他に増設メモリを装着可能なコンピュータ・システムに用いられ、1以上の信号線によって該メモリへのアクセスを制御するためのメモリ・アクセス制御装置において、装着された増設メモリの識別データを読み取るための識別手段と、識別データに基づいて各信号線の最適な出力電流値を判別する判別手段と、判別結果に基づいて各信号線の出力電流を調整する手段とをさらに具備するメモリ・アクセス制御装置である。



1

【特許請求の範囲】

【請求項1】標準メモリの他に増設メモリを装着可能なコンピュータ・システムに用いられ、1以上の信号線によって該メモリへのアクセスを制御するためのメモリ・アクセス制御装置において、装着された増設メモリの識別データを読み取るための識別手段と、該識別データに基づいて前記各信号線の最適な出力電流値を判別する判別手段と、該判別結果に基づいて前記各信号線の出力電流を調整する手段とをさらに具備することを特徴とするメモリ・アクセス制御装置

【請求項2】標準メモリの他に増設メモリを装着可能なコンピュータ・システムに用いられ、1以上の信号線によって該メモリへのアクセスを制御するためのメモリ・アクセス制御装置において、

装着された増設メモリの識別データを読み取るための識別手段と、

識別データと前記各信号線の最適な出力電流値との関係を予め格納しておき、該格納されたデータに基づいて各信号線の最適な出力電流値を判別する判別手段と、

各信号線の出力電流値を調整可能な調整手段と、

該判別結果に基づいて前記調整手段を制御する制御手段と、をさらに具備することを特徴とするメモリ・アクセス制御装置

【請求項3】前記増設メモリはD I MM (Dual Inline Memory Module) カードであり、その識別データとはI D番号のことである請求項1又は請求項2のいずれかに記載のメモリ・アクセス制御装置

【請求項4】前記各信号線は、R A S信号、C A S信号、WE信号、メモリ・アドレス・バスを含むことを特徴とする請求項1又は請求項2のいずれかに記載のメモリ・アクセス制御装置

【請求項5】標準メモリの他に増設メモリを装着可能なコンピュータ・システムに用いられ、1以上の信号線によって該メモリへのアクセスを制御するためのメモリ・アクセス制御方法において、

装着された増設メモリの識別データを読み取るための識別段階と、

該識別データに基づいて前記各信号線の最適な出力電流値を判別する判別段階と、

該判別結果に基づいて前記各信号線の出力電流を調整する段階と、をさらに具備することを特徴とするメモリ・アクセス制御方法

【請求項6】前記コンピュータ・システムの電源投入時に前記各段階を実行することを特徴とする請求項5に記載のメモリ・アクセス制御方法

【請求項7】C P Uと、標準メモリと、複数種類の増設メモリを装着するためのスロットと、前記標準メモリ及び前記スロットに連結した1以上の信号線を介して標準メモリ及び増設メモリへのアクセスを制御するためのメモリ・コントローラと、R O Mと、その他の周辺デバイ

2

スを含むコンピュータ・システムにおいて、前記各信号線の最適な出力電流値を増設メモリの種類と関連付けて前記R O Mの中に格納したことを特徴とするコンピュータ・システム

【発明の詳細な説明】

【0 0 0 1】

【産業上の利用分野】本発明は、標準メモリの他に増設メモリを装着可能なコンピュータ・システムの中で用いられて該メモリへのアクセスを制御するためのメモリ・

10 アクセス制御装置及びメモリ・アクセス制御方法に係り、特に、メモリ・アクセスを制御するためのメモリ・バスの各信号線の動作特性を好適に補償するメモリ・アクセス制御装置及びメモリ・アクセス制御方法に関する。更に詳しくは、本発明は、記憶容量やメモリ・チップの配列が異なる多種類の増設メモリを装着しても、メモリ・バスの各信号線の動作特性を動的に補償できるメモリ・アクセス制御装置及びメモリ・アクセス制御方法に関する。

【0 0 0 2】

20 【従来の技術】昨今の技術革新に伴い、デスクトップ型、ノートブック型など各種パーソナル・コンピュータが開発され市販されている。

【0 0 0 3】パーソナル・コンピュータ(以下、「P C」という)が、C P Uの他に、メイン・メモリ、R O M、メモリ・コントローラ、DMAコントローラなど多数のデバイスで構成されている、ということは既に広く知られている。C P Uとデバイスとの間は、アドレス信号線、データ信号線、コントロール信号線などからなる共通信号伝送路(いわゆる「バス」)で連絡しており、

30 C P Uや各デバイスは信号線にロー／ハイ・レベルの組合せで構成される信号を交換することによって意思を伝達できるようになっている。C P Uは、オペレーティング・システム(O S)の制御下で各種アプリケーションを実行するためのものである。また、メイン・メモリは、読み書き可能な記憶装置であり、オペレーティング・システムやアプリケーションをロードするための領域として、あるいはC P Uがタスクを実行するための作業領域として使われるようになっている。メイン・メモリには、S R A M(Static Random Access Memory)に比しアクセス速度は劣るが、大容量を低成本で製造できるD R A M(Dynamic Random Access Memory)が用いられるのが一般的である。

【0 0 0 4】P Cに標準装備されるメイン・メモリの記憶容量は、例えば4 M B若しくは8 M B程度である。しかし、メモリの記憶容量はシステムの実行速度に大きく影響することや、大規模なアプリケーションやグラフィックスを利用可能にすることなどの理由により、標準メモリ以上の記憶容量が必要な場合が多い。そこで、最近のP Cは、メモリの増設を許す構造になっているものが多い。いわゆるS I MM(Single Inline Memory Modul

e) やDIMM (Dual Inline Memory Module) は増設メモリの代表例であり、略長方形のプリント基板上に複数のDRAMチップを並べて構成されるメモリ・カードである。PCは、メイン・ボード上にDIMMやSIMMのカード・エッジ端子を収容するためのスロットを用意しており、必要に応じて挿脱できるようになっている。DIMMは、2MB (1パンク), 4MB (1パンク/2パンク), 8MB (1パンク/2パンク), 16MB (1パンク/2パンク), 及び32MB (2パンク) の複数種類のタイプが既に市販されている。

【0005】CPUから標準メモリ若しくは増設メモリへのアクセス要求は、メモリ・コントローラが処理するようになっている。すなわち、メモリ・アクセス要求が発行されると、メモリ・コントローラがどのDRAMチップのどこに所望のデータが存在するかを判断してチップへのアクセスを制御する訳である。図5には、PCのうちメモリ周辺の構成要素を模式的に図解している（PCは他の多くのハードウェア構成要素を含んでいるが、説明の便宜上省略してある）。同図において、PCは、標準メモリの他、DIMMカードを収容するためのDIMMソケットを備えている。メモリ・コントローラから標準メモリ及びDIMMソケットには、メモリ・アドレスを特定するための12本の信号線からなるメモリ・アドレス (MA) バスと、各メモリ・チップの行アドレスの読み取りタイミングを制御するための6本の行アドレス読取り (RAS : Row Address Strobe) 信号線と、各メモリ・チップの列アドレスの読み取りタイミングを制御するための4本の列アドレス読取り (CAS : Column Address Strobe) 信号線と、データの書き込み動作を付勢するための1本のWE信号線が出力されている（但し、各信号線の本数はバス等の規格に準拠するに過ぎず、説明の本質ではない）。これらの信号線を総称して「メモリ・バス」ともいう。また、標準メモリ/DIMMソケットとCPUとの間は、データを授受するための32ビット幅のデータ・バスで結ばれている。メモリ・コントローラは、所定のタイミングでメモリ・バスの各信号線にロー/ハイ・レベルの組合せからなる信号を送出することによって、標準メモリ及びDIMMカードへのアクセス動作を制御するようになっている。

【0006】ここで、メモリ・コントローラによるメモリ・アクセス制御プロセスを、メモリ・リード（読み出し）の場合を例にとって説明しておく。図6には、メモリ・リード動作の様子をタイムチャートで示してある（但し、本例では、RAS, CAS, WEの各信号はアクティブ・ロー方式で駆動するようになっている）。同図において、メモリ・コントローラは、MAバスに送出した行アドレスが確定してから所定の遅延時間T₁後にRAS信号を付勢する。RAS信号に応答してメモリには行アドレスが取り込まれる。また、メモリ・コントローラは、MAバスに送出した列アドレスが確定してから

所定の遅延時間T₂後にCAS信号を付勢する。そして、CAS信号に応答してメモリには列アドレスが取り込まれる。また、MAバスに送出した列アドレスが確定してから所定の遅延時間T₃後にメモリ中の該当するメモリ・アドレスからはデータが出力される。CPUは、CAS信号が次に立ち上がるまでの間に出力データを読み取るようになっている。なお、メモリ・リード時にはWE信号は付勢されない。

- 【0007】ところで、近年CPUの高速化に伴って、10 CPUとDRAMとの速度差が拡大する傾向にある。メモリ・アクセス・タイムはコンピュータ・システムのオーバーヘッドの要因の1つであり、これを短縮化がPCの設計者にとって急務であると言えよう。メモリ・アクセス・タイムを短縮化するためには、メモリ・コントローラは、RAS, RAS, WEなどの各信号を所定時間内にロー・レベルからハイ・レベルに又はハイ・レベルからロー・レベルに切り換える能力が要求される（デバイスのこのような能力を「ドライブ能力」という）。例えば図6に示すようなメモリ・リード・サイクルの場合、立下がりから立上りまでの間隔が最も短いCAS信号のドライブ能力が最もクリティカルである。もしドライブ能力が弱ければ、信号の立上り・立下がり時に甚だしい過渡応答を起こしてしまう。このような過渡応答は、列アドレスの読み取りタイミングやデータの出力タイミングを遅延させてしまい、時間マージンを小さくしてしまう。逆に、ドライブ能力が強過ぎると、信号の立上り・立下がり時に振動を生じて電圧マージンが小さくなってしまい、信号が安定するまで時間がかかったり誤動作を誘発することになる。
- 20 30 【0008】信号の波形整形及びタイミング調整を行うために、従来、以下のような解決策が講じられていた。
- 【0009】解決法1：従来、信号の波形を整形したりタイミングを調整するために、図7に示すように、出力側デバイス（メモリ・コントローラを含む）の出力信号線上に、ダンパ抵抗R_Dを直列的に挿入したり、抵抗体R_TとキャパシタC_Tとからなる終端回路を並列的に接続したりしていた。この場合、R_D, R_T, C_Tなどは、設計・製作時にシミュレーションや実験で検証を行うことによって最適な値に調整するようになっている。しかしながら、このような手法は、デバイスのドライブ能力自体を直接的且つ動的に調整するものではない。R_D, R_T, C_Tなどのパラメータの最適値は、入力側デバイス（すなわちメモリ）の負荷の量に応じて変化すると予測される。例えば、メモリ・コントローラの場合、DIMMカードを差すことにより、あるいはDIMMカードの種類を変えることによって、メモリ・コントローラの負荷は簡単且つ動的に変わってしまう。本願発明者らは、スロットに装着したDIMMカードの容量に応じてメモリ・コントローラの出力信号の波形やタイミングが変動するということを、経験に基づく実験的な努力によって
- 40 50

確認した。図8には検証データを示してあるが、同図によれば、4MB, 8MB, 16MBという具合に増設メモリの記憶容量を増大させる従ってRAS信号の波形が徐々になまっていく様子を明瞭に理解できよう。また、本願発明者らは、DIMMカードの記憶容量が同じであっても、メモリ・チップの配列(すなわちバンク数)によってもメモリ・コントローラの各信号線のドライブ能力は影響を受けるという現実を導き出した。図9には、8MBで1バンク方式及び2バンク方式それぞれにおけるDIMMカード内のメモリ・チップの配列を模式的に示してある(但し、WE信号線とMA信号線は、全てのメモリ・チップに入力されることが自明なので、省略している)。ここで、各信号線への負荷が信号線を入力するメモリ・チップ数に比例するものと仮定すれば、1バンク方式の場合における各信号線の負荷は(WE, MA, CAS, RAS1#, RAS2#) = (6, 6, 2, 6, 0)であり、また、2バンク方式の場合における各信号の負荷は(WE, MA, CAS, RAS1#, RAS2#) = (4, 4, 2, 2, 2)となる。つまり、最適なドライブ能力は、DIMMカード内のメモリ・チップ構成に影響され、また、影響の受け方は各信号線によって区々なのである。開発段階において全種類のDIMMカードをサポートするようにダンパ抵抗や終端回路を最適値に調整することは極めて困難である。したがって、解決法1は、開発期間の長期化やコスト増大を招きかねない。

【0010】解決法2：例えば日本アイ・ビー・エム(株)が市販するThinkPad 755CD/CE/CSE("ThinkPad"は米IBM社の登録商標)では、増設メモリの有無やその種類の影響を除去するために、メモリ・コントローラから標準メモリ及びDIMMソケットに向かう各出力信号線上にバッファを挿入するようにした。図10には、これを模式的に図解している。この場合、DIMMカードを挿入して負荷が増大しても、メモリに著説入力する信号はバッファによって駆動されるので、メモリ側からはメモリ・コントローラのドライブ能力の変動が見えなくなる。また、DIMMカードが挿入されたことによる負荷変動は、メモリ・コントローラ側からは見えなくなる。但し、この手法では、メモリ・バスの各信号線にバッファを挿入しなければならず、その分コスト高になり、また、メイン・ボードの実装面積を割くことにもなる。また、バッファーを挿入した分だけ信号の伝搬が遅延することになる。

【0011】要するに、いずれの解決法であっても、ユーザが必要に応じて適宜記憶容量やチップ構成の異なる増設メモリを装着できる、という環境下で、メモリ・コントローラのドライブ能力を動的に補償できるシステムは今までに存在しなかったのである。

【0012】なお、上述したような出力信号のドライブ能力(若しくは信号の波形とタイミング)の問題は、メ

モリ・コントローラに固有の問題ではなく、ロー/ハイ・レベルの組合せによって信号を出力する全てのデバイスに該当する。但し、コンピュータ・システムのオーバーヘッドをなくす上でメモリ・アクセス・サイクルの短縮化が必須であるという理由から、とりわけメモリ・コントローラには正確な信号波形を出力できるドライブ能力が要求されているのである。

【0013】

【発明が解決しようとする課題】本発明の目的は、標準メモリの他に多種類の増設メモリを装着可能なコンピュータ・システムの中で用いられて、該メモリへのアクセスを制御するための優れたメモリ・アクセス制御装置及びメモリ・アクセス制御方法を提供することにある。

【0014】本発明の更なる目的は、メモリ・アクセスを制御するためのメモリ・バスの各信号線の動作特性を好適に補償するメモリ・アクセス制御装置及びメモリ・アクセス制御方法を提供することにある。

【0015】本発明の更なる目的は、記憶容量やメモリ・チップの配列が異なる多種類増設メモリを装着しても、メモリ・バスの各信号線の動作特性を動的に補償できるメモリ・アクセス制御装置及びメモリ・アクセス制御方法を提供することにある。

【0016】

【課題を解決するための手段及び作用】本発明は、上記課題を参照してなされたものであり、その第1の側面は、標準メモリの他に増設メモリを装着可能なコンピュータ・システムに用いられ、1以上の信号線によって該メモリへのアクセスを制御するためのメモリ・アクセス制御装置において、装着された増設メモリの識別データを読み取るための識別手段と、該識別データに基づいて前記各信号線の最適な出力電流値を判別する判別手段と、該判別結果に基づいて前記各信号線の出力電流を調整する手段とをさらに具備することを特徴とするメモリ・アクセス制御装置である。

【0017】また、本発明の第2の側面は、標準メモリの他に増設メモリを装着可能なコンピュータ・システムに用いられ、1以上の信号線によって該メモリへのアクセスを制御するためのメモリ・アクセス制御装置において、装着された増設メモリの識別データを読み取るための識別手段と、識別データと前記各信号線の最適な出力電流値との関係を予め格納しておき該格納されたデータに基づいて各信号線の最適な出力電流値を判別する判別手段と、各信号線の出力電流値を調整可能な調整手段と、該判別結果に基づいて前記調整手段を制御する制御手段とをさらに具備することを特徴とするメモリ・アクセス制御装置である。

【0018】なお、ここでいう増設メモリとはDIMM(Dual Inline Memory Module)カードであり、その識別データとはID番号のことである。また、各信号線とは、メモリ・バスに含まれるRAS信号、CAS信号、

WE信号、メモリ・アドレス・バスなどを指す。

【0019】また、本発明の第3の側面は、標準メモリの他に増設メモリを装着可能なコンピュータ・システムに用いられ、1以上の信号線によって該メモリへのアクセスを制御するためのメモリ・アクセス制御方法において、装着された増設メモリの識別データを読み取るための識別段階と、該識別データに基づいて前記各信号線の最適な出力電流値を判別する判別段階と、該判別結果に基づいて前記各信号線の出力電流を調整する段階とをさらに具備することを特徴とするメモリ・アクセス制御方法である。

【0020】各段階は、例えばコンピュータ・システムの電源投入時に一度実行すればよい。

【0021】また、本発明の第4の側面は、CPUと、標準メモリと、複数種類の増設メモリを装着するためのスロットと、前記標準メモリ及び前記スロットに連結した1以上の信号線を介して標準メモリ及び増設メモリへのアクセスを制御するためのメモリ・コントローラと、ROMと、その他の周辺デバイスを含むコンピュータ・システムにおいて、前記各信号線の最適な出力電流値を増設メモリの種類と関連付けて前記ROMの中に格納したことを特徴とするコンピュータ・システムである。

【0022】スロットに装着するDIMMカードの種類によってメモリ・コントローラのドライブ能力が変動することは、【従来の技術】の項でも述べた通りである。しかしながら、装着時のドライブ能力はDIMMカード自体の仕様ではなく、DIMMカードのメーカー側から提供されるものではない。したがって、予め各DIMMカードを装着したときの最適値を測定しておき、且つROMなどの不揮発性メモリに格納しておけば、好適に本発明を具現することができる。

【0023】しかして、本発明に係るメモリ・アクセス制御装置及びメモリ・アクセス制御方法によれば、記憶容量やメモリ・チップの配列が異なる多種類の増設メモリ(DIMMカード)を装着しても、メモリ・コントローラの各出力信号線(RAS, CAS, WE, MA)の信号波形やタイミングを動的に補償することができる。

【0024】また、本発明に係るメモリ・アクセス制御装置及びメモリ・アクセス制御方法によれば、メモリ・コントローラの各出力信号線の信号波形やタイミングの調整を、回路の実装面積を増大させることなく、且つ低コストで実現することできる。

【0025】本発明のさらに他の目的、特徴や利点は、後述する本発明の実施例や添付する図面に基づくより詳細な説明によって明らかになるであろう。

【0026】

【実施例】以下、図面を参照しながら本発明の実施例を詳解する。

【0027】A. パーソナル・コンピュータのハードウェア構成

図1は、本発明の実施に供されるパーソナル・コンピュータ(PC)1の主要なハードウェア構成要素の結合関係を示したブロック図である。PC1は、他の多くのハードウェア構成要素とそれらを連結するための配線を含んでいるが、本実施例の説明とは無関係なので省略してある。

【0028】図1において、CPU11は、32ビット幅のアドレス・バスと、32ビット幅のデータ・バスと、nビット幅(但し、nは正の整数)のコントロール・バスを含むプロセッサ・バス12を介して、メモリ・コントローラ13、ISAバス・コントローラ14などの他のデバイスと連絡している。プロセッサ・バス12は、例えばVL(VESA Local)バスやPCI(Peripheral Component Interconnect)バスでよい。CPU11は、オペレーティング・システムの制御下で各種アプリケーションを実行するためのものであり、メモリ・コントローラ13に対して随時メモリ・アクセス要求を発行するようになっている。CPU11は、例えば米インテル社製のDX2でもよい。

【0029】メモリ・コントローラ13は、アクセス要求されたデータがメモリ15、17のどのDRAMチップのどこに存在するかを判断してメモリ・アクセスを可能ならしめるためのデバイスであり、メモリ・アドレス(MA)バスとRAS, CAS, WE各信号線を含んだメモリ・バス20を標準メモリ15及びDIMMソケット16の各々に入力している。

【0030】標準メモリ15とDIMMソケット16の各々は、メモリ・バス20を入力している他、プロセッサ・バス中のデータ・バスと双方向で連結して、CPU11からの読み出し及び書き込みが可能となっている。

【0031】標準メモリ15は、【従来の技術】の項で前述したように、DRAMで構成され、例えば4MBの記憶容量を有している。一方、DIMMソケット16は、DIMMカード17のカード・エッジ端子部(図示しない)の取付けを許す機械的構造になっている。DIMM(Dual Inline Memory Module)は、メモリ・カードの規格の一種であり、記憶容量では2MB, 4MB, 8MB, 16MB, 32MBの5種類がある。このうち2MBのものは1パンク構成のみ、32MBのものは2パンク構成のみ、4MB, 8MB及び16MBのものは1パンク及び2パンク双方が用意されているので、DIMMカードは全部で8種類あることになる。各DIMMカードは、自己の記憶容量とパンク構成に応じたID番号を付与されている。このID番号は、カード・エッジ端子中の所定の端子から読みだせるようになっている(後述)。

【0032】ISAバス・コントローラ14は、プロセッサ・バス12とISA(Industry Standard Architecture)バス21との間でのデータ交換を制御するためのものである。ISAバス21は、ROM18の他、例え

ばハードディスク・ドライブ（HDD）、フロッピーディスク・ドライブ（FDD）、PCカード、キーボード／マウスなどの周辺機器類（図示しない）を接続するために用いられる。

【0033】ROM (Read Only Memory) 18は、製造時に書込みデータが決められてしまう読出し専用の不揮発性メモリであり、例えば始動時のプログラム（POST : Power-on Self Test）（後述）やハードウェア制御プログラム（BIOS : Basic Input/Output System）をコード化して半永久的に格納するようになっている。

【0034】なお、DIMMソケット16から出力されるID番号識別用の4ビット幅の信号線は、プロセッサ・バス12やメモリ・バス20には接続せず、ゲート回路19を介してISAバス21につながっている。したがって、CPU11は、プロセッサ・バス12、ISAバス21、ゲート回路19という経路で、DIMMソケット16に装着されたDIMMカード17のID番号を読み取ることができるようになっている。

【0035】B. メモリ・コントローラの付加的な構成
メモリ・コントローラ13はCPU11からのメモリ・アクセス要求を処理する、ということは既にA項で述べた。本実施例に係るメモリ・コントローラ13は、本発明を好適に具現する（すなわちDIMMカード17の種類が相違しても、RAS, CAS, WE, MA各出力の信号波形やタイミングを動的に補償する）ために、従来のメモリ・コントローラが備える構成要素の他に、付加的な構成要素を含んでいる。

【0036】図2には、本実施例に係るメモリ・コントローラ13の内部構成を概略的に示してある。なお、本発明の説明に不要な構成要素は当然省略してある。

【0037】同図において、コントロール部31は、プロセッサ・バス12中のアドレス・バスとコントロール・バスを入力して、メモリ・バス20には所定のタイミングで対応するMA, RAS, CAS, WEの各信号を出力するようになっている。図中のメモリ・バス20は、簡略化のため、1本の信号線で表されている。

【0038】メモリ・バス20中の各信号線（MA, RAS, CAS, WE）上には、複数個（ここでは3個）のバッファを並列接続したドライバ部32がそれぞれ挿入されている。セレクタ部33は、各バッファ32-1, 32-2, 32-3のゲート・コントロール端子に制御信号を入れており、各バッファ32-1…の出力を停止することができる。

【0039】セレクタ部33は、プロセッサ・バス12を入力しており、その動作はCPU11の制御下にある。すなわち、CPU11から受け取ったデータに基づいて、ドライバ部32内の各バッファの出力を付勢し又は減勢するようになっている。

【0040】このような構成を採用することにより、各ドライバ部32で何個のバッファを付勢するかによっ

て、対応する信号線の出力電流すなわちドライブ能力を調整することができる。したがって、CPU11は、増設されたDIMMカード17の容量や構成に応じて各信号線のドライバ部32の設定を変えることによって、メモリ・バス20中の各信号線のドライブ能力を動的に変更することができるのである。

【0041】この項で述べたようにメモリ・コントローラ・チップ13の中にバッファ32を実装すれば、【従来の技術】の項の「解決法2」のようにディスクリートなバッファ素子をプリント基板上に搭載することと比較して、実装面積を小さくできること、及びコストを節約できることは、当業者であれば容易に理解できるであろう。

【0042】C. 本発明のオペレーション

A項及びB項では、本発明を実施可能なPC1のハードウェア構成について説明してきた。本項ではその動作について詳解する。

【0043】メモリ・コントローラ13のドライブ能力の設定は、原理的にはPC1が稼働中はいつでも行える。しかしながら、メモリ15, 16の初期化や使用条件の設定を定める時期がより好適と考えられるので、本実施例ではPOST実行中にメモリ・コントローラのドライブ能力を設定するようしている。

【0044】図3は、本実施例に係るPC1で利用されるPOSTプログラムの全体的なフローを示している。POSTは、PC1の電源投入時でオペレーティング・システムをブートする前に、各ハードウェア構成要素が正常に動作するかどうかをチェックするための自己診断テスト・ルーチンの集まりである。図示の通り、POSTは、CPU11のテスト（S10）、ROM18のテスト（S20）、DRAM（標準メモリ15及び増設メモリ17）の設定（S30）、DRAMのテスト（S40）、ビデオ周辺機器の設定（S50）、ビデオ周辺機器のテスト（S60）、他の周辺機器の設定及びそのテスト（S70, S80）の順に実行される。POST実行後は、オペレーティング・システムをブートしてシステムの制御権を譲り渡す。POSTは、実際にはROM18の中に格納されたファームウェアである（前述）。

【0045】メモリ・コントローラ13のドライブ能力の設定は、ステップS30のDRAMの設定において実行するのが好適である。図4にはDRAMの設定ルーチンの詳細なフローを示している。

【0046】図4に示すように、まず、メモリ15, 17の記憶容量を確かめてメモリ空間上へのアドレスの割り振りを行う（ステップS31）とともに、行アドレス／列アドレスの幅を設定する（ステップS32）。

【0047】ステップS31, S32のような設定を行うためには、POSTは装着中のDIMMカード17に関する記憶容量、チップ構成、アドレッシング方法などの属性データを必要とする。これらの属性データは通常

11

DIMMカードのメーカー側が提供しているものであり、本実施例では、各DIMMカードの属性情報をID番号ごとに管理するべく、ROM18の中に表1に示すようなテーブルを予め格納している。一方、CPU11（厳密にはCPU11が実行するソフトウェア）は、装着中のDIMMカード17のID番号を、ゲート回路19、ISAバス21、プロセッサ・バス12というルートで読み取ることが可能である（前述）。したがって、POSTは、ROM18中の表1を参照することによって、ステップS31、S32における設定を行うことができる訳である。

【0048】

【表1】

DIMM ID (ID4-1)	SIZE	BANK	DRAM	ADDRESSING
0000	4MB	2	512Kx8 4	10x9
0001	8MB	2	1Mb16 2	10x10
0010	16MB	2	2Mb8 4	11x10
0011	32MB	2	4Mb4 8	12x10
0100	RESERVED			
0101	RESERVED			
0110	RESERVED			
0111	RESERVED			
1000	2MB	1	512Kx8 4	10x9
1001	4MB	1	1Mb16 2	10x10
1010	8MB	1	2Mb8 4	11x10
1011	16MB	1	4Mb4 8	12x10
1100	RESERVED			
1101	RESERVED			
1110	RESERVED			
1111	RESERVED			

【0049】なお、POSTプログラムの中でアドレスの割り振りやアドレッシング方法の設定を行うことは既に周知であり、また、ステップS31、S32以外に他のステップを含んでいても本発明の具現には何ら影響はない。また、表1の内容はDIMMカードの仕様に基づいて容易に作成することができる。

【0050】次いで、POSTは、ステップS33において、メモリ・コントローラ13のドライブ能力を、メモリ15、17の記憶容量やチップ構成に応じて変更する。

【0051】メモリ・コントローラ13のドライブ能力を調整する前提として、各種のDIMMカードがDIMMスロット16に装着された場合における各信号線（RAS, CAS, WE, MA）の最適な出力電流値を知る必要がある。しかしながら、一般的には、最適な出力電流値はDIMMカードの仕様として提供されてはいない。何故なら、DIMMカードの記憶容量やチップ構成（若しくはパンク数）に応じてドライブ能力が影響を受けるという現象自体は図8や【従来の技術】の項で述べ

10

たように既に確認できたが、その最適値は、PC1内部の他のハードウェア（例えばメモリ・コントローラ13、標準メモリ15、メモリ・バス20など）との組合せに定まるからである。そこで、本発明者らは、各種DIMMカード17を装着したときの各信号線の最適な出力電流値を予め実験的に調べておき、DIMMカードのID番号ごとに管理するべく、表2に示すようなテーブルにしてROM18の中に予め格納しておくようにした。したがって、POSTは、DIMMカード17のID番号を読み取るとともにROM18中の表2を参照することによって、各信号線の最適な出力電流値を得ることができる。POSTは、各信号線の出力電流が所望の値になるように、セレクタ部33に命令を送る。セレクタ部33は該命令に応じて各ドライバ部32中の減勢するバッファの個数を決める。

【0052】

【表2】

DIMM ID	RAS CONTROL	CAS CONTROL	WE CONTROL	MA CONTROL
0000	1(4mA)	3(12mA)	3(12mA)	2(8mA)
0001	1(4mA)	3(12mA)	3(12mA)	2(8mA)
0010	1(4mA)	3(12mA)	3(12mA)	2(8mA)
0011	2(8mA)	3(12mA)	3(12mA)	3(12mA)
0100	RESERVED			
0101	RESERVED			
0110	RESERVED			
0111	RESERVED			
1000	1(4mA)	2(8mA)	3(12mA)	2(8mA)
1001	3(12mA)	3(12mA)	3(12mA)	3(12mA)
1010	2(8mA)	2(8mA)	3(12mA)	2(8mA)
1011	3(12mA)	3(12mA)	3(12mA)	3(12mA)
1100	RESERVED			
1101	RESERVED			
1110	RESERVED			
1111	RESERVED			

20

30

40

【0053】このようにして諸々の設定処理が終了すると、メモリを使用可能な状態にして（ステップS34）、POSTの次のルーチン（DRAMのテスト（ステップS40））に移行する。

【0054】D. 追補

以上、特定の実施例を参照しながら、本発明について詳解してきた。しかしながら、本発明の要旨を逸脱しない範囲で当業者が該実施例の修正や代用を成し得ることは自明である。本実施例では、メモリ・コントローラに特化して本発明の内容を説明してきたが、これはメモリ・アクセス・タイムを短縮化するという目的に則ったに過ぎない。同様の問題が他のデバイスについて発生すれば、当然本発明は適用可能である。要するに、例示という形態で本発明を開示してきたのであり、限定的に解釈されるべきではない。本発明の要旨を判断するために

は、冒頭に記載した特許請求の範囲の欄を参照すべきである。

【0055】

【発明の効果】以上詳記したように、本発明に係るメモリ・アクセス制御装置及びメモリ・アクセス制御方法によれば、記憶容量やメモリ・チップの配列が異なる多種類の増設メモリ(DIMMカード)を装着しても、メモリ・コントローラの各出力信号線(RAS, CAS, WE, MA)の信号波形やタイミングを動的に補償することができる。

【0056】本発明の開発段階におけるメリットは、ダンパ抵抗や終端回路を各種DIMMカードに対応して調整する必要がなくなる点である。したがって、その分、開発期間を短縮し、開発費用を節約することができる。また、各種検証試験も、DIMMカードの有無を考慮せず実施できるので、確認試験のための期間や費用も節約することができる。

【0057】本発明の量産段階におけるメリットは、例えば【従来の技術】の項で述べた解決法2に比しコストを低減できる点である。また、解決法1に比し、ばらつきのない安定したマシンを製造することができる。また、メモリ・コントローラの各出力信号の時間マージンや電圧マージンが増大するので製造歩留りが向上し、量産コストがさらに低減する。また、出荷検査時にDIMMカードを検査しなくて済む。

【0058】本発明の市場段階におけるメリットは、PCはDIMMカードの種類に拘らず一定の品質が保たれることになる点である。

【図面の簡単な説明】

【図1】図1は、本発明の実施に供されるパーソナル・コンピュータ(PC)1の主要なハードウェア構成要素の結合関係を示したブロック図である。

【図2】図2は、本実施例に係るメモリ・コントローラ13の内部構成を概略的に示した図である。

【図3】図3は、本実施例に係るPC1で利用されるPOSTプログラムの全体的なフローを示した図である。

【図4】図4は、DRAMの設定ルーチンの詳細なフローを示した図である。

【図5】図5は、PCのうちメモリ(標準メモリ及びDIMMカード)周辺の構成要素を模式的に図解した図である。

10 【図6】図6は、メモリ・リード動作の様子をタイムチャートで示した図である(但し、RAS, CAS, WEの各信号はアクティブ・ロー)。

【図7】図7は、信号波形の整形やタイミング調整をするための従来例を示した図である。

【図8】図8は、DIMMスロットに装着したDIMMカードの容量に応じてメモリ・コントローラの出力信号の波形やタイミングが変動する、ということを模式的に示した検証データである。

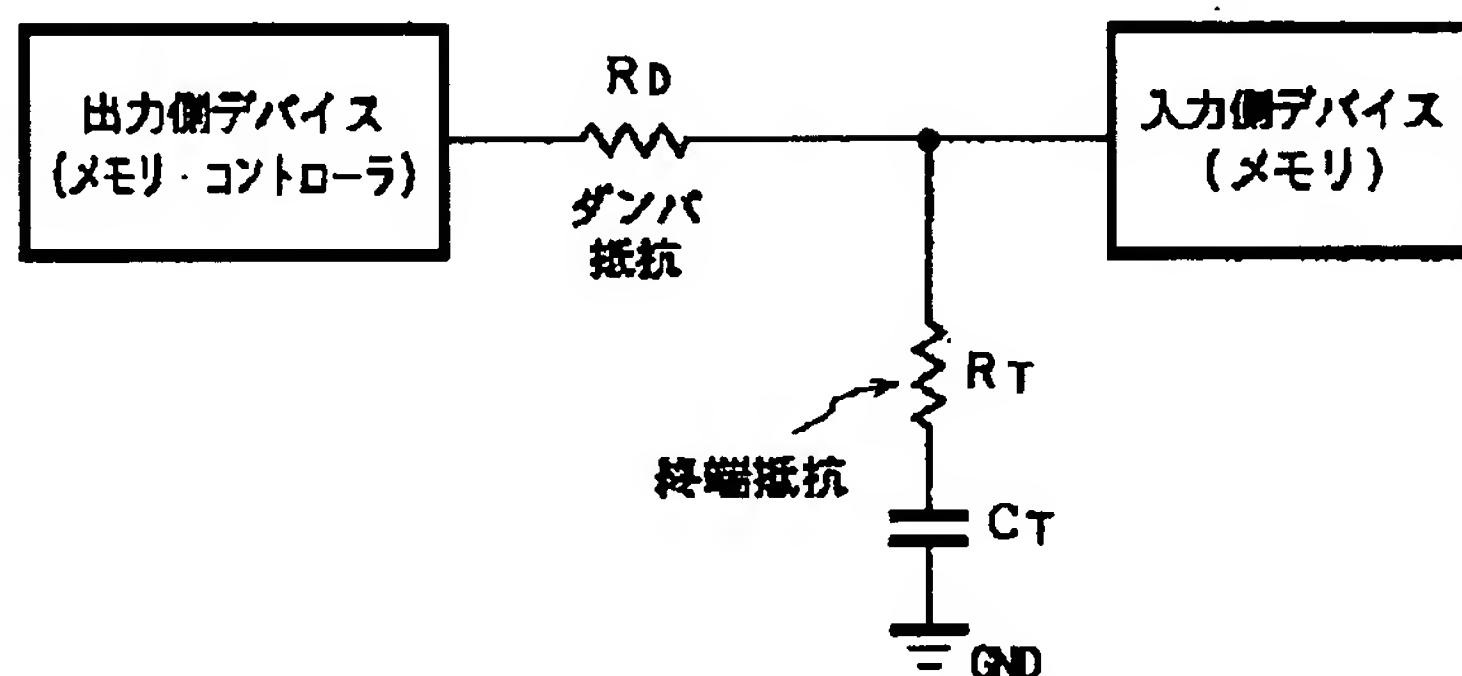
20 【図9】図9は、8MBで1バンク方式及び2バンク方式それぞれにおけるメモリ・チップの配列を模式的に示した図である。

【図10】図10は、メモリ・コントローラのドライブ能力を維持するための従来例を示した図である。

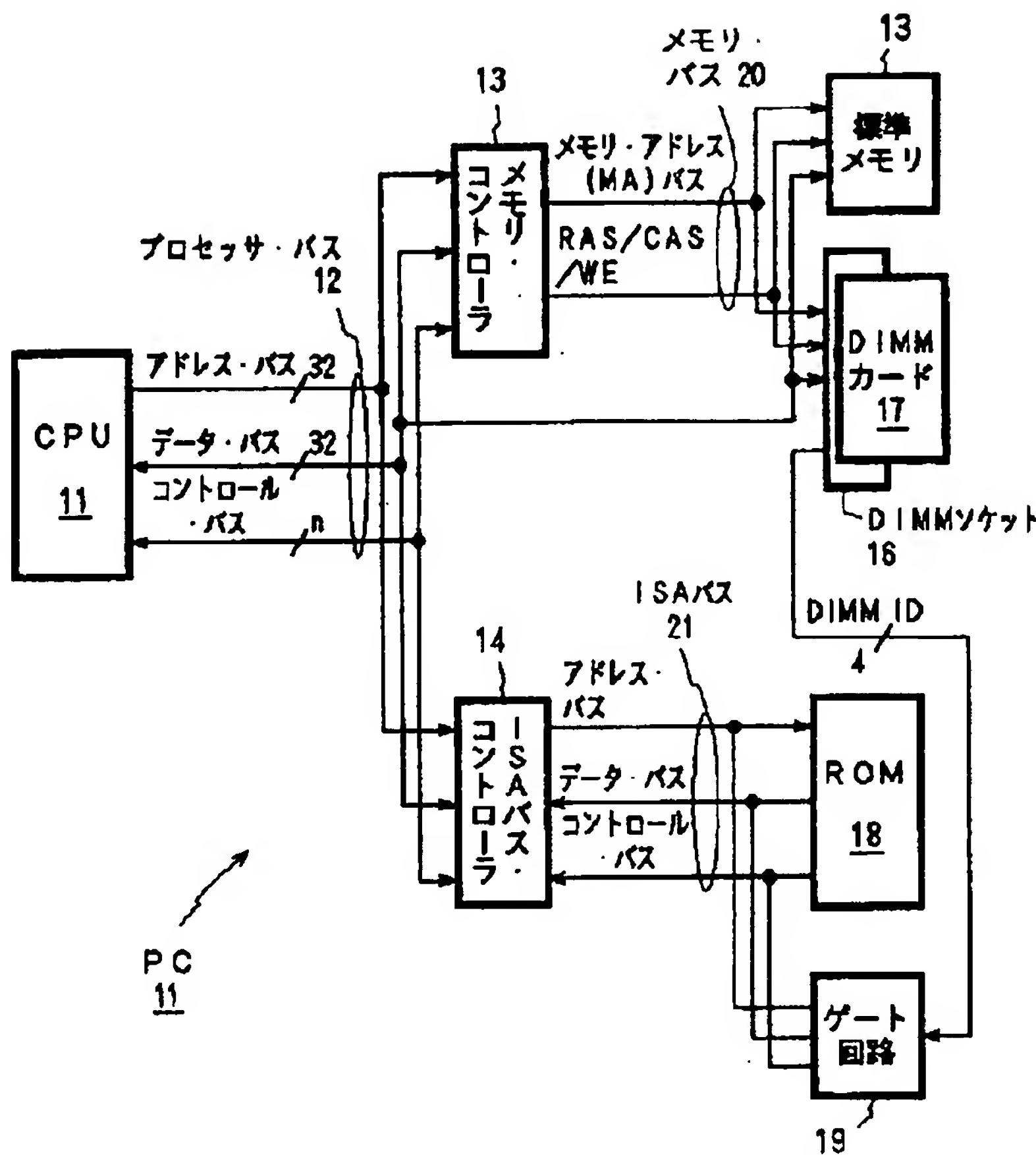
【符号の説明】

1…パーソナル・コンピュータ、11…CPU、12…プロセッサ・バス、13…メモリ・コントローラ、14…ISAバス・コントローラ、15…標準メモリ、16…DIMMソケット、17…DIMMカード、18…ROM、19…ゲート回路、20…メモリ・バス、21…ISAバス、31…コントロール部、32…ドライバ部、33…セレクタ部。

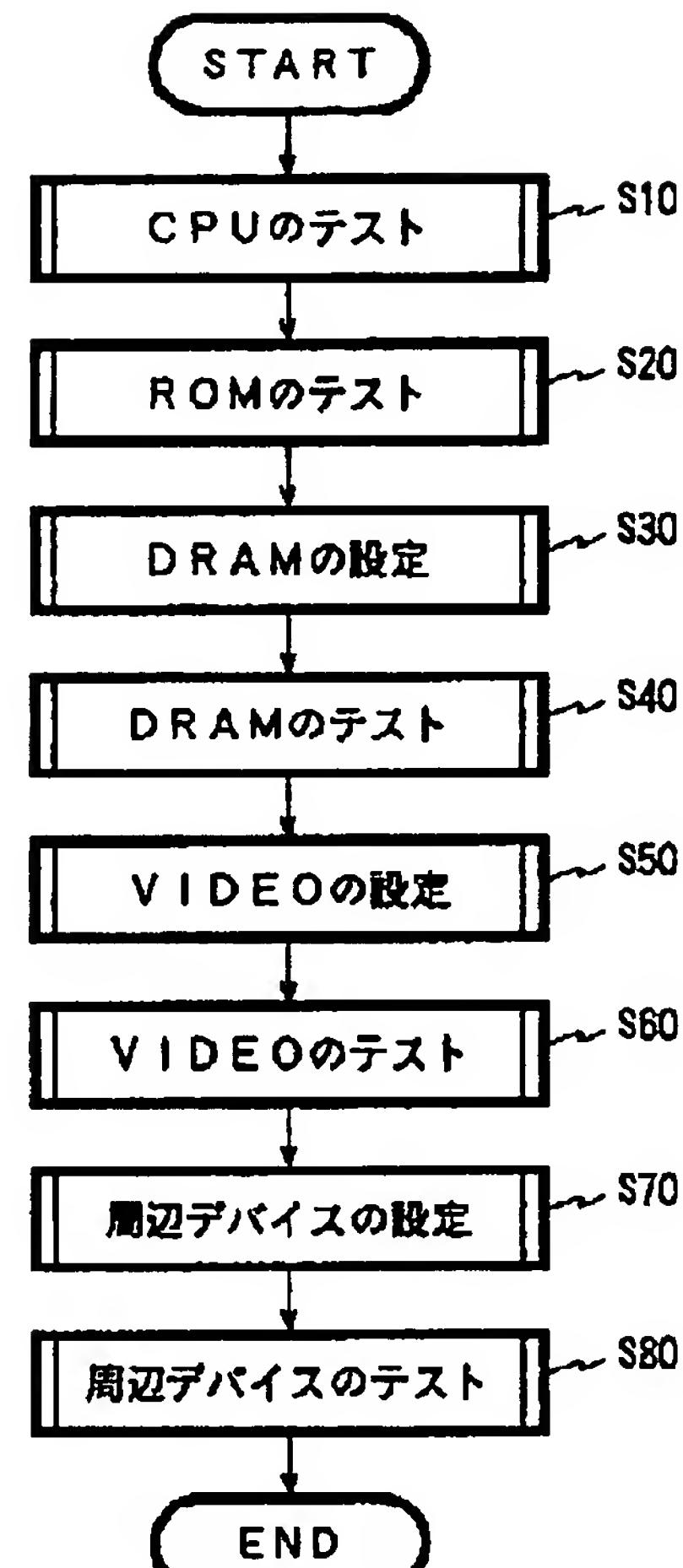
【図7】



【図1】

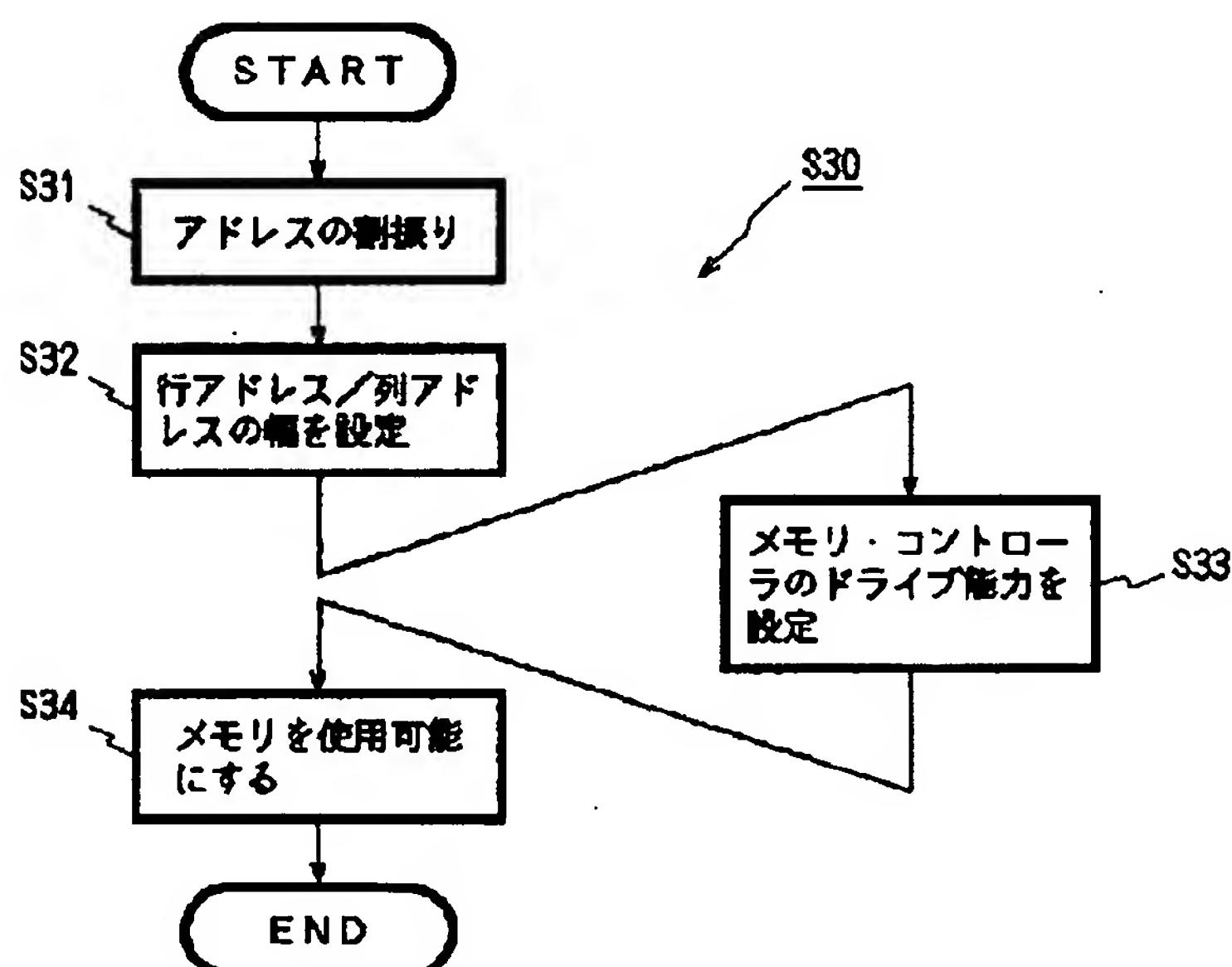


【図3】

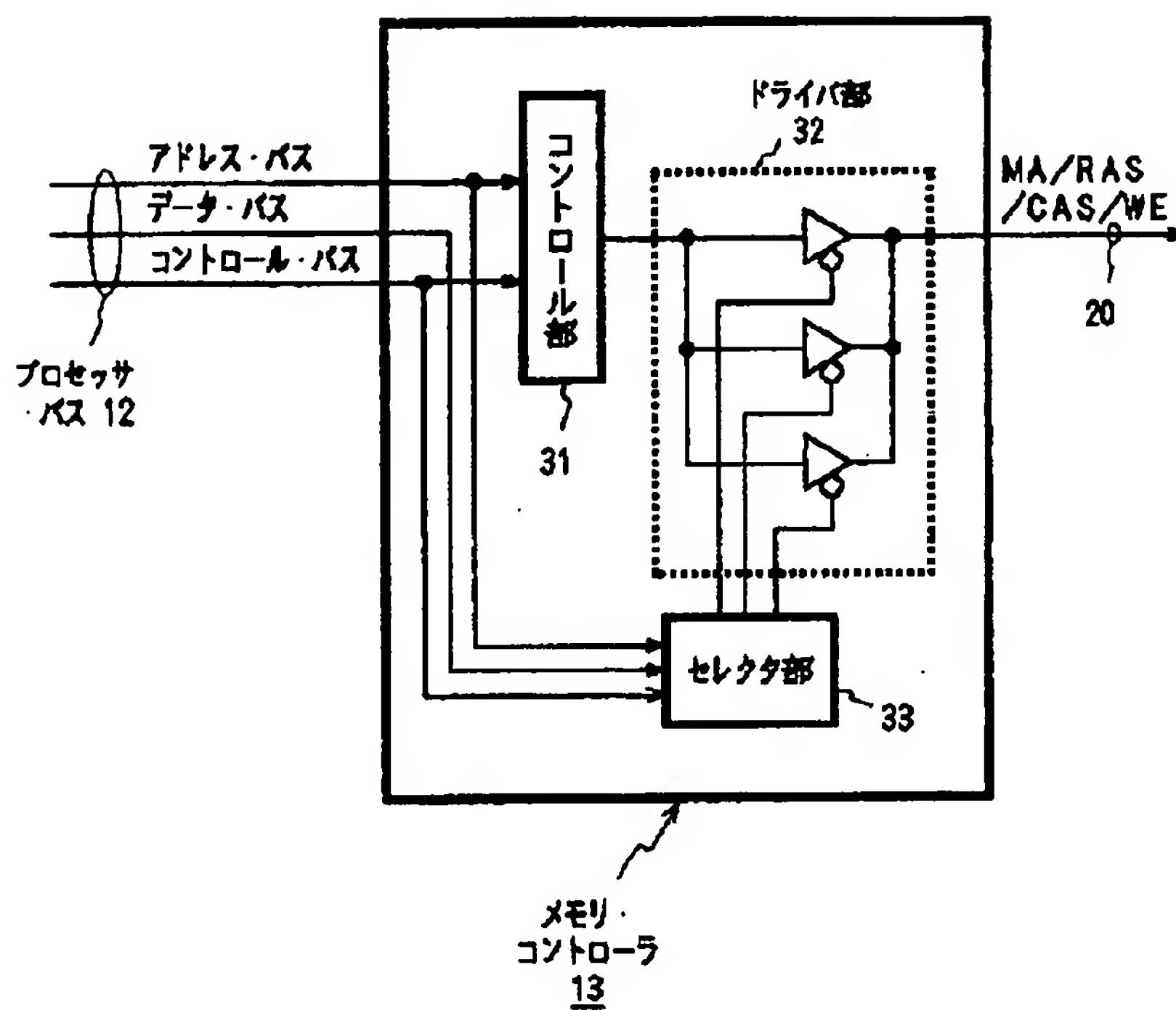


(OSに制御権を渡す)

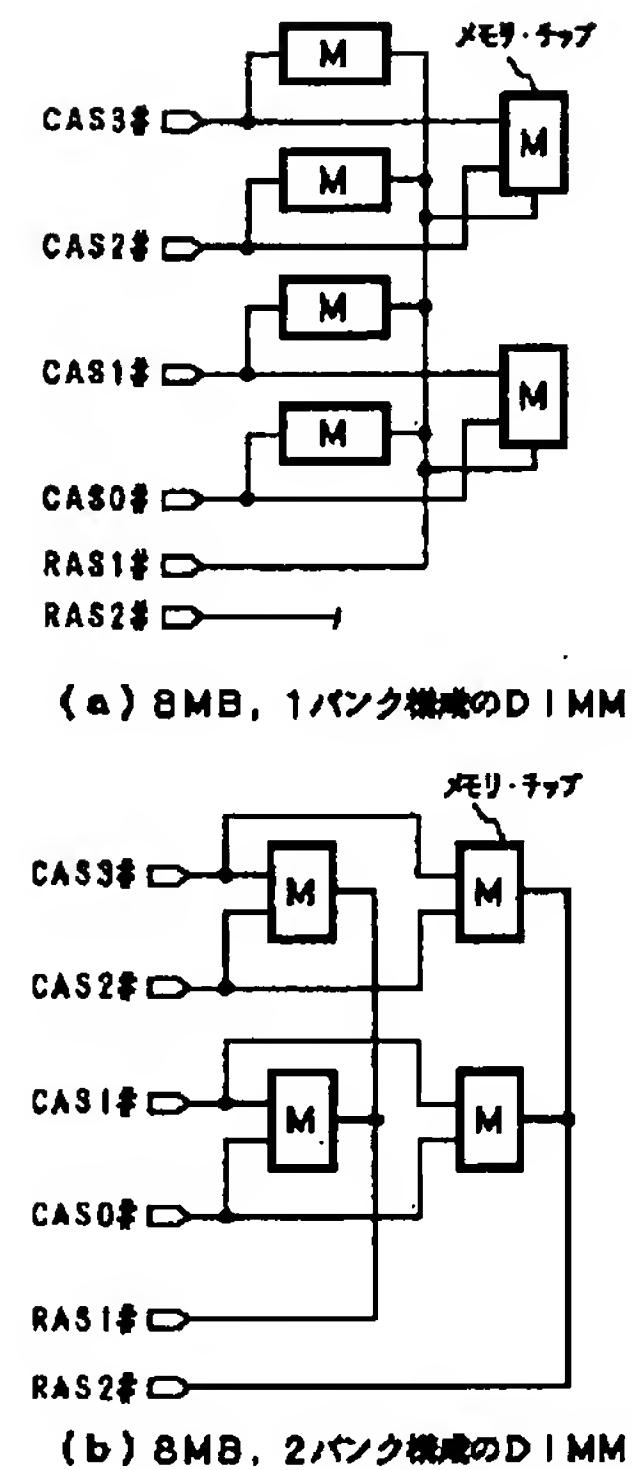
【図4】



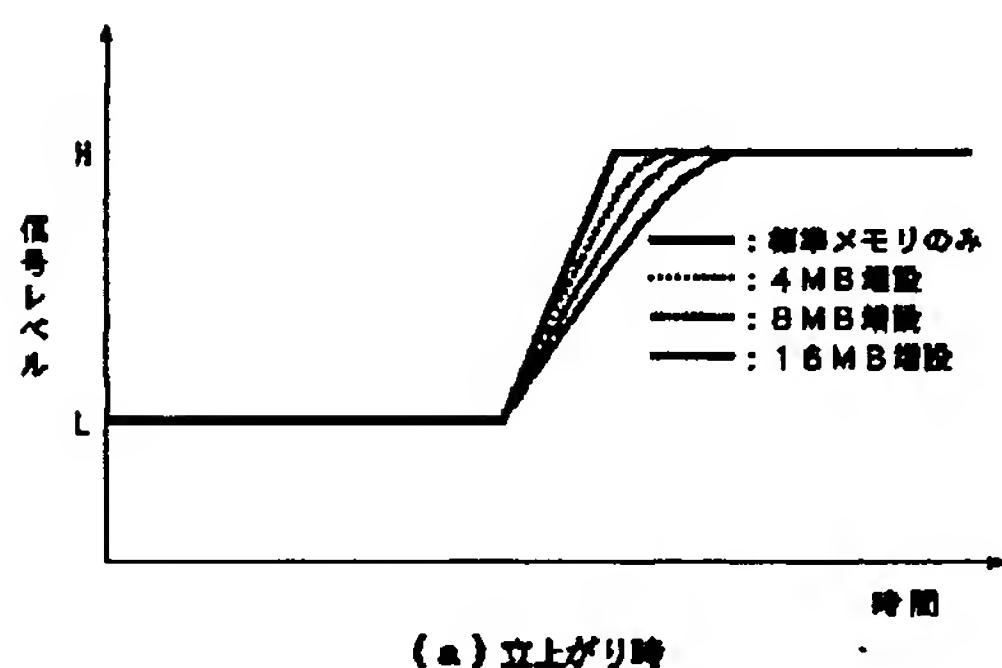
【図2】



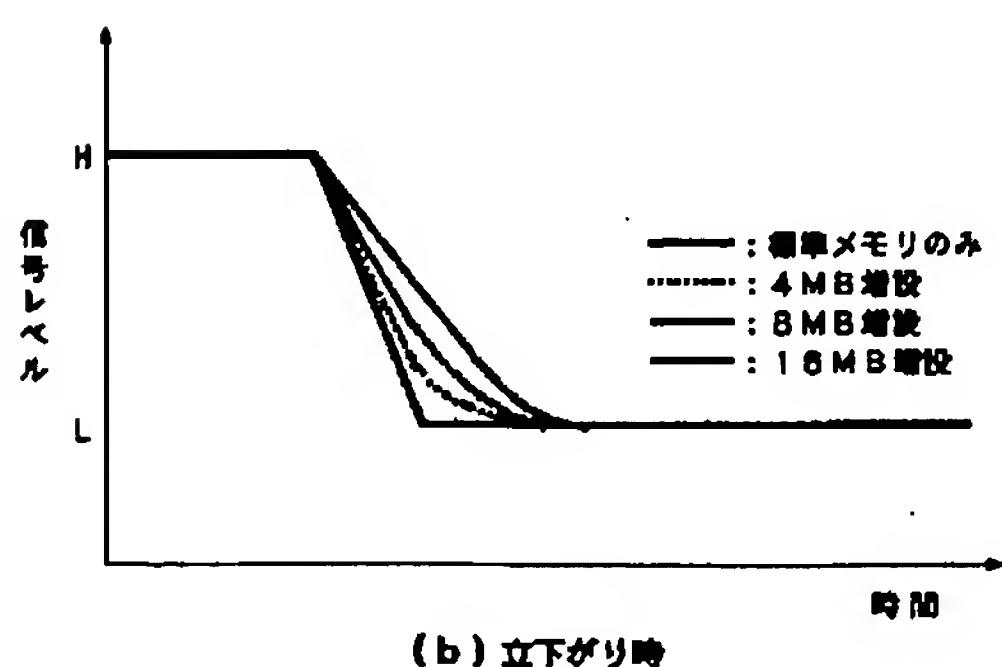
【図9】



【図8】

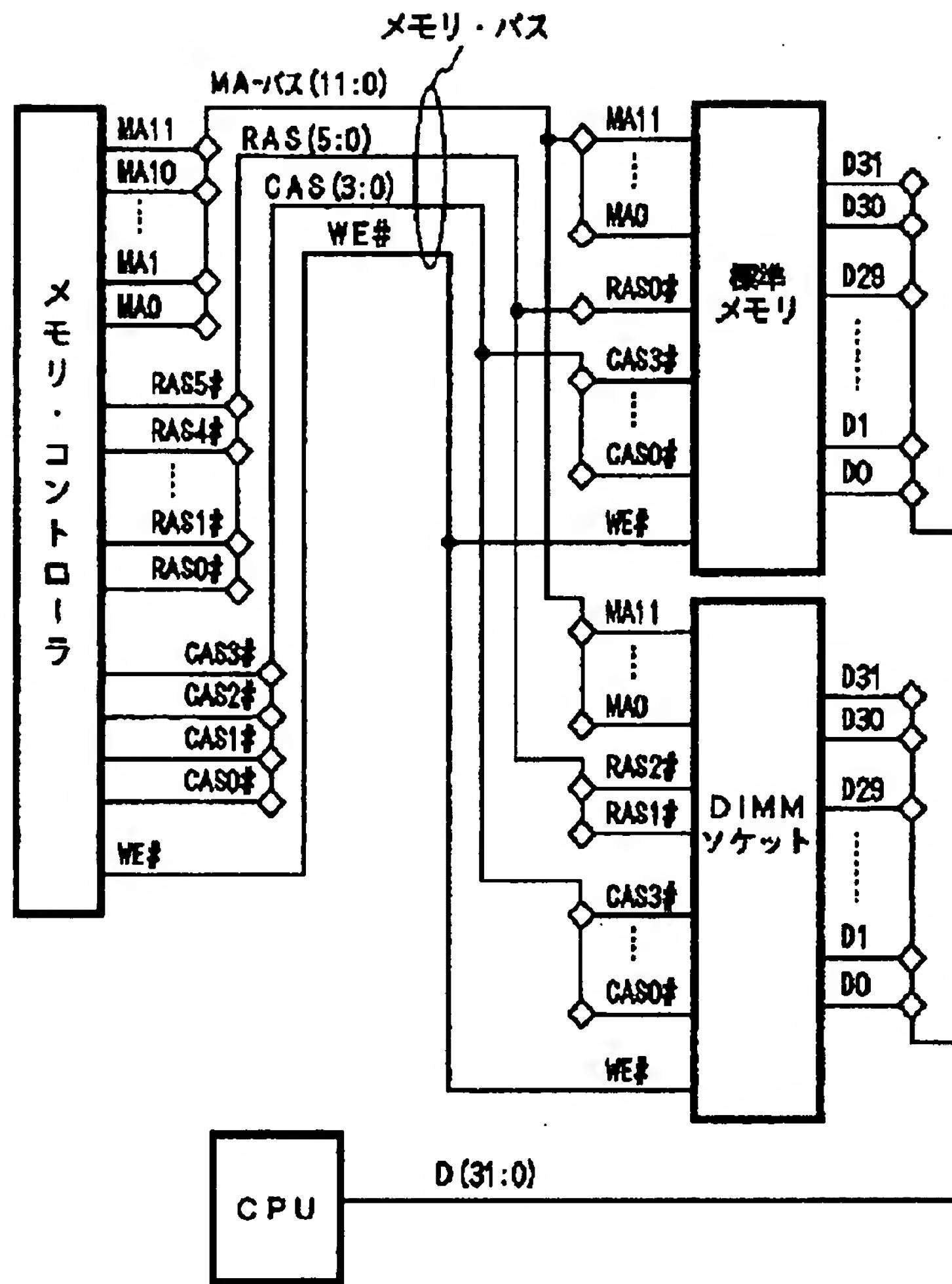


(a) 立上がり時

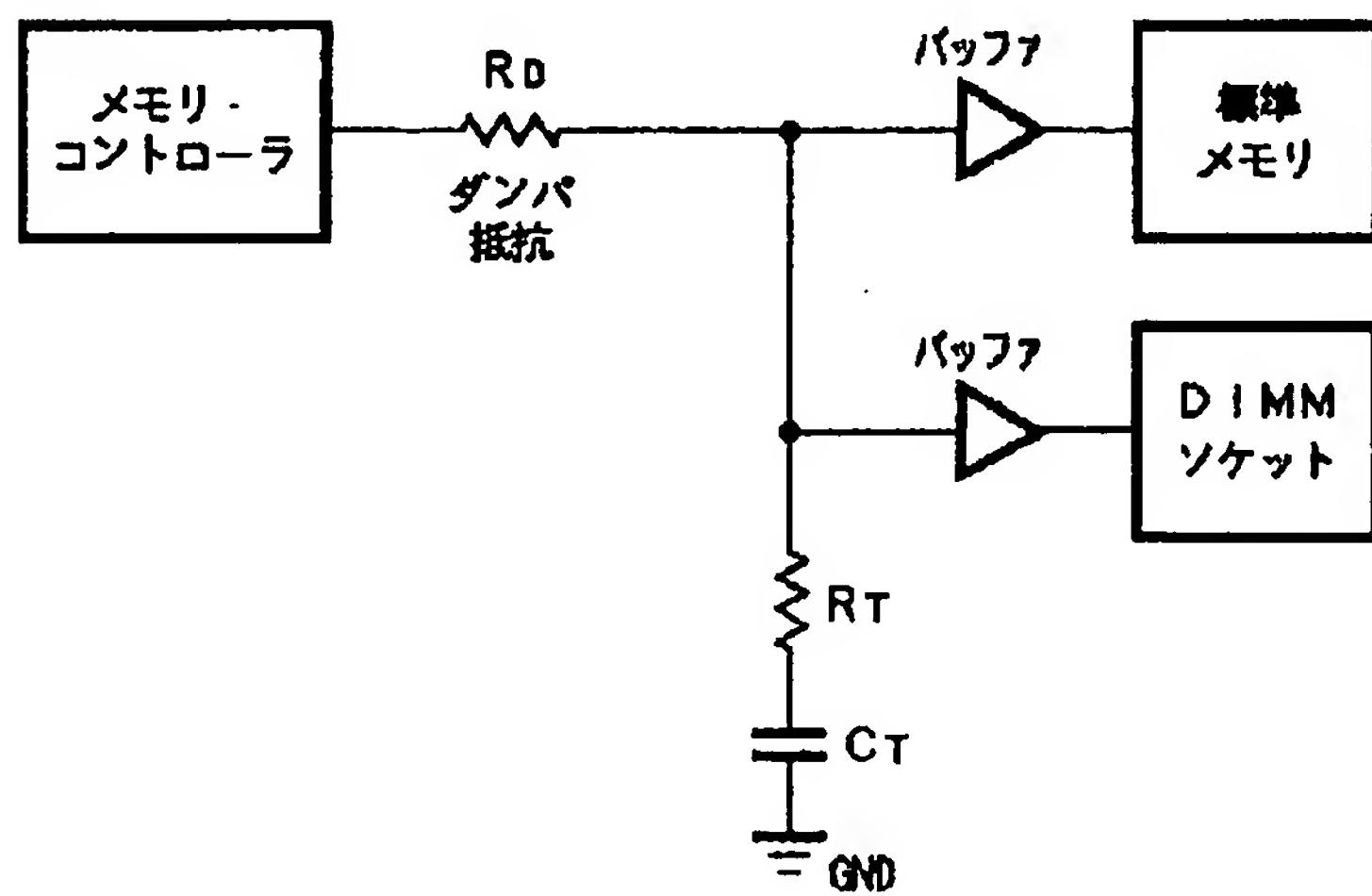


(b) 立下り時

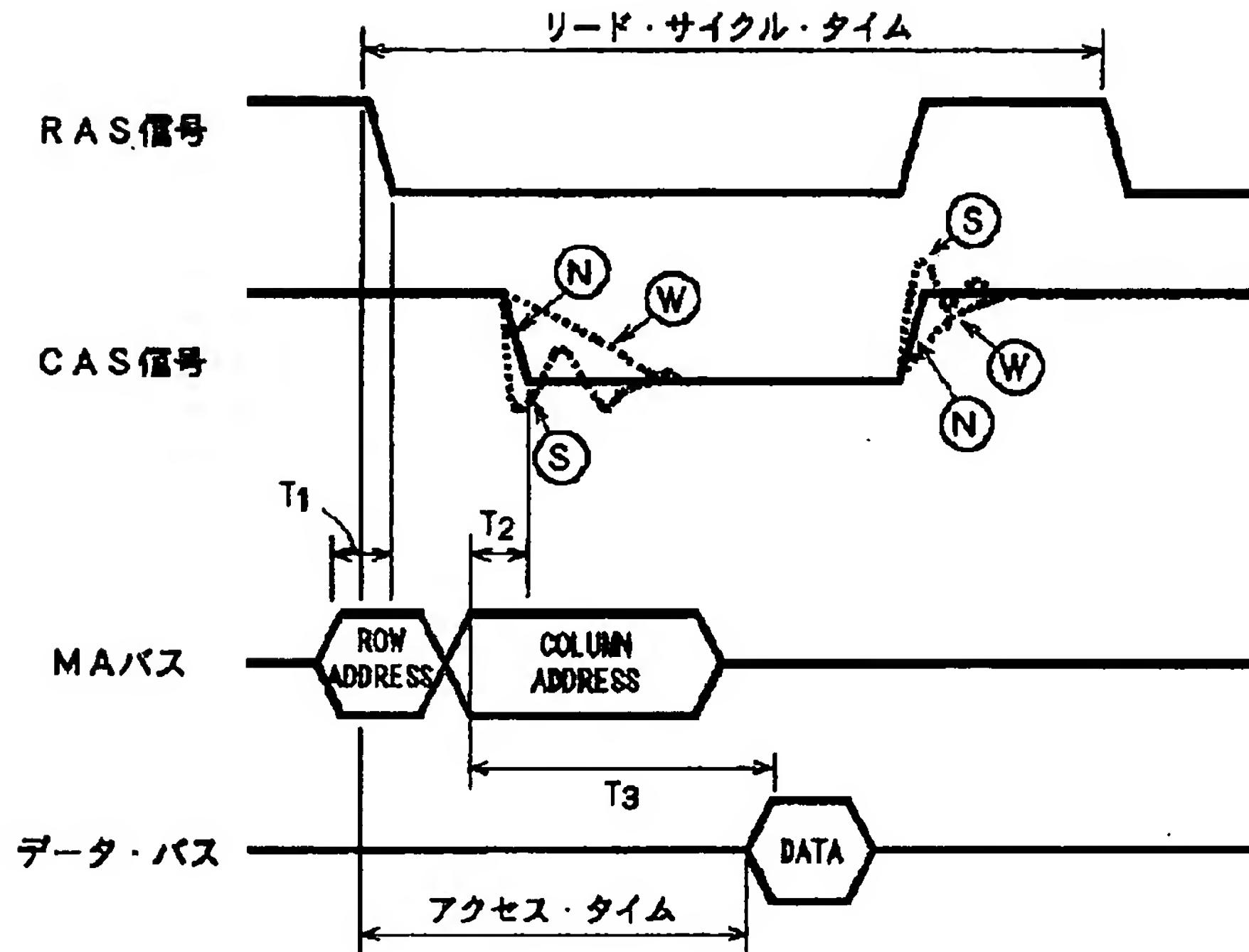
【図5】



【図10】



【図6】

メモリ・リード・サイクル**(W)** : ドライブ能力が弱すぎる場合**(N)** : ドライブ能力が適当な場合**(S)** : ドライブ能力が強すぎる場合

フロントページの続き

(72)発明者 大石真士

神奈川県大和市下鶴間1623番地14 日本ア
イ・ビー・エム株式会社 大和事業所内

(72)発明者 野村雅彦

神奈川県大和市下鶴間1623番地14 日本ア
イ・ビー・エム株式会社 大和事業所内



RESEARCH

PRODUCTS

INSIDE DELPHION

The Delphion Integrated View

Get Now: PDF | More choices...Tools: Add to Work File: Create new Work File

View: INPADOC | Jump to: Top

Go to: Derwent...

Email this to a friend

>Title: **JP8305629A2: DEVICE FOR CONTROLLING MEMORY ACCESS AND METHOD FOR CONTROLLING MEMORY ACCESS AND COMPUTER SYSTEM**

Country: JP Japan

Kind: A

Inventor: FUKUSHIMA TOSHIAKI;
OISHI SHINJI;
NOMURA MASAHIKO;[High Resolution](#)Assignee: **INTERNATL BUSINESS MACH CORP <IBM>**
[News, Profiles, Stocks and More about this company](#)

Published / Filed: 1996-11-22 / 1995-04-25

Application Number: JP1995000101059

IPC Code: G06F 12/06;

Priority Number: 1995-04-25 JP1995000101059

Abstract:

PURPOSE: To dynamically compensate the signal waveform or timing of each output signal line (RAS, CAS, WE, MA) of a memory controller even when many kinds of extended memories (DIMM card) whose storage capacities or memory chip arrays are different are mounted.

CONSTITUTION: This is a memory access controller used for a computer system on which an extended memory 17 can be mounted in addition to a standard memory 13, which controls access to the memories 13 and 17 by more than one signal lines. This memory access controller is provided with an identifying means which reads the identification data of the mounted extended memory 17, discriminating means which discriminates the optimal output current value of each signal line based on the identification data, and means which adjusts the output currents of each signal line based on the discriminated result.

COPYRIGHT: (C)1996,JPO

INPADOC Legal Status: None [Get Now: Family Legal Status Report](#)

Family:

PDF	Publication	Pub. Dat	Fil d	Title
<input type="checkbox"/>	US5727182	1998-03-10	1996-04-25	Method and apparatus for adjusting output current values for expansion memories
<input checked="" type="checkbox"/>	JP8305629A2	1996-11-22	1995-04-25	APPARATUS AND METHOD FOR CONTROL OF MEMORY ACCESS AS WELL AS COMPUTER SYSTEM

2 family members shown above

Other Abstract

Info:



None



[Nominate this for the Gallery...](#)

© 1997-2003 Thomson Delphion

[Research Subscriptions](#) | [Privacy Policy](#) | [Terms & Conditions](#) | [Site Map](#) | [Contact Us](#) | [Help](#)